

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-137828

(43)Date of publication of application : 16.05.2000

(51)Int.Cl.

G06T 15/50

BEST AVAILABLE COPY

(21)Application number : 10-309740

(71)Applicant : FUJITSU LTD

(22)Date of filing : 30.10.1998

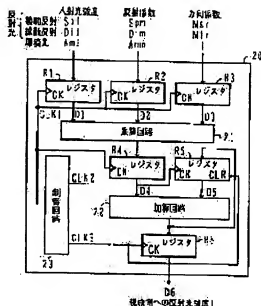
(72)Inventor : ENDO YOICHI
NAKAHARA MAKOTO
MIURA EISUKE

(54) SHADING ARITHMETIC UNIT AND IMAGE PROCESSOR USING THE ARITHMETIC UNIT

(57)Abstract:

PROBLEM TO BE SOLVED: To fast process the shading of a three-dimensional CG in a simple hardware constitution.

SOLUTION: The $2n$ -multiplied incident light intensity (an integer), a $2n$ -multiplied reflection coefficient (an integer) and a direction coefficient (a number with a fixed point) are held in the registers R1-R3 respectively. Then the product of output value of the registers R1-R3 is calculated by a multiplication circuit 21 and held in a register R4. These three numbers on environmental beams, diffused reflection beams and mirror reflection beams are successively held in the registers R1-R3 respectively. It's regarded that the reflection coefficient of the environmental beams is 1.0. An addition circuit 22 calculates the sum of output of the registers R4 and R5. The register R4 holds the output value of the circuit 22 by the 1st and 2nd calculation results of the circuit 21, and the register R5 is cleared to zero by the 3rd calculation result of the circuit 21. At the same time, the output value of the circuit 22 is held in a register R6 as the reflected light intensity value. The register R5 is cleared at the 3rd reflected light intensity calculation preceding by one step at the 1st holding of the output value of the circuit 22. Each of registers R1-R6 has n bits and the circuit 21 calculates only the significant n bits of its product.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of

rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-137828

(P2000-137828A)

(43) 公開日 平成12年5月16日 (2000.5.16)

(51) Int.Cl. ⁷	識別記号	F I	ページコード (参考)
G 0 6 T 15/50		G 0 6 F 15/72	4 6 5 5 B 0 8 0

審査請求 未請求 請求項の数 9 O L (全 8 頁)

(21) 出願番号 特願平10-309740

(22) 出願日 平成10年10月30日 (1998.10.30)

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番1号

(72) 発明者 遠藤 陽一

神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

(72) 発明者 中原 誠

神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

(74) 代理人 100092587

弁理士 松本 眞吉

最終頁に続く

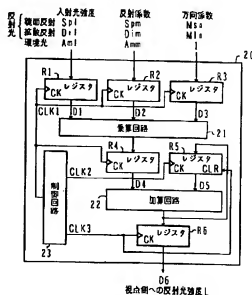
(54) 【発明の名称】 シェーディング演算装置及びこれを用いた画像処理装置

(57) 【要約】

【課題】 簡単なハードウェア構成により3次元CGのシェーディングを高速処理する。

【解決手段】 2^n 倍された入射光強度 (整数) と 2^n 倍された反射係数 (整数) と方向係数 (固定小数点数) とがレジスタ R1～R3に保持され、これらの出力値の積が乗算回路 21 で算出されてレジスタ R4 に保持される。環境光、拡散反射光及び鏡面反射光についてこれら3数が順次レジスタ R1～R3 に保持される。環境光は反射係数が 1.0 であるとみなす。加算回路 22 は、レジスタ R4 と R5 の出力の和を算出する。レジスタ R4 には、乗算回路 21 の算出結果の第1回と第2回で加算回路 22 の出力値が保持され、第3回でレジスタ R5 がゼロクリアされると共に加算回路 22 の出力値が反射光強度値としてレジスタ R6 に保持される。この第1回では、1つ前の反射光強度計算の第3回においてレジスタ R5 がクリアされている。レジスタ R1～R6 はいずれも n ビットであり、乗算回路 21 は積の上位 n ビットのみ算出する。

本発明の第1実施形態のシェーディング演算装置
概略構成を示すブロック図



【特許請求の範囲】

【請求項 1】 第 1～第 3 入力値の積を算出する乗算回路と、
該乗算回路の出力値と累積加算値との和を算出する加算回路と、
該乗算回路の算出結果の第 1 回と第 2 回で該加算回路の出力値を該累積加算値とし、該乗算回路の算出結果の第 3 回で該累積加算値をゼロクリアすると共に該加算回路の出力値をシェーディング演算装置の出力値とする制御回路と、

を有することを特徴とするシェーディング演算装置。
【請求項 2】 上記第 1～第 3 値をそれぞれ保持して上記乗算回路に供給する第 1～第 3 レジスタと、
該乗算回路の出力値を保持して上記加算回路に供給する第 4 レジスタと、
上記累積加算値を保持して該加算回路に供給する第 5 レジスタと、
上記シェーディング演算装置の出力値を保持する第 6 レジスタと、
を有することを特徴とする請求項 1 記載のシェーディング演算装置。

【請求項 3】 上記制御回路は、周期的な第 1 クロックを上記第 1～4 レジスタのクロック入力端に供給し、該第 1 クロックのパルスを 2 個毎に 1 個間引いたものに相当する第 2 クロックを上記第 5 レジスタのクロック入力端に供給し、該第 1 クロックと該第 2 クロックとの排他的論理和に相当する第 3 クロックを上記第 6 レジスタのクロック入力端及び該第 5 レジスタのクリア入力端に供給することを特徴とする請求項 2 記載のシェーディング演算装置。

【請求項 4】 上記乗算回路は、
上記第 1 入力値と上記第 2 入力値との積を算出する第 1 乗算回路と、
この積と上記第 3 入力値との積を算出する第 2 乗算回路と、
を有することを特徴とする請求項 3 記載のシェーディング演算装置。

【請求項 5】 上記第 1～第 3 入力値はいずれも n ビットであり、上記第 1 及び第 2 乗算回路はいずれも上位 n *

(頂点カラー) = (その頂点の材質からの放射) + (その頂点での材質の環境光特性で拡大縮小される全体的な環境光) + Σ (光源から適当に減衰された環境光、拡散反射光及び鏡面反射光の影響) . . . (1)

ここに Σ は、各光源についての総和を意味する。この式 ※ される。

(1) の右辺第 3 項は、1 つの光源について、次式で表※

(影響) = (減衰係数) \times (スポットライト効果) \times (反射光強度 L)

. . . (2)

この反射光強度 L は、モデル 10 の頂点 P でのベクトル ★ 【0007】

e の方向への反射光強度であり、次式で表される。★

$L = (\text{環境光の項}) + (\text{拡散反射光の項}) + (\text{鏡面反射光の項})$

$= Aml \times Amm + Mln \times Dli \times Dim + Msn \times Spl \times Spm$. . . (3)

* ビットのみ出力することと特徴とする請求項 4 記載のシェーディング演算装置。

【請求項 6】 上記第 1 及び第 2 入力値は整数であり、上記第 3 入力値は固定小数点数であることを特徴とする請求項 5 記載のシェーディング演算装置。

【請求項 7】 3 次元 CG のスムーズシェーディングにおける頂点カラーを計算するために、3 原色の各々のデータに対応して上記乗算回路及び上記加算回路を 3 組有し、上記制御回路が該 3 組について共通に用いられることを特徴とする請求項 1 乃至 6 のいずれか 1 つに記載のシェーディング演算装置。

【請求項 8】 上記第 1～3 レジスタの前段に備えられた FIFO バッファ記憶部をさらに有することを特徴とする請求項 2 乃至 7 のいずれか 1 つに記載のシェーディング演算装置。

【請求項 9】 シェーディング処理を行う画像プロセッサと、

該画像プロセッサから供給される上記第 1～第 3 入力値に基づいて反射光強度を算出しこれを該画像プロセッサへ供給する請求項 8 記載のシェーディング演算装置と、
を有することを特徴とする画像処理装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、3 次元 CG 処理に用いられるシェーディング演算装置及びこれを用いた画像処理装置に関する。

【0002】

【従来の技術】3 次元 CG では、図 7 に示す如く、物体を多面体のモデル 10 で近似し、これを座標変換により、視点 11 からモデル 10 への視線方向と直交なスクリーン 12 に投影し、隠面処理を行い、次に光源 13 を考慮してシェーディングを行う。

【0003】スムーズシェーディングでは、多面体近似されたモデル 10 の面が曲面らしく滑らかに見えるようにするために、多面体の頂点カラーを決定し、面内のカラーを補間法で決定する。

【0004】OpenGL (Open Graphics Library) では、頂点 P のカラーを次のような項の和として計算する。

【0005】

ここに、 A_{ml} は環境光の強さであり、 D_{il} 及び S_{pl} は光源13から頂点Pへの入射光の強度である。 A_{ml} 、 D_{il} 及び S_{pl} はそれぞれ環境光反射係数、拡散反射係数及び鏡面反射係数である。また、方向係数 M_{ln} 及び M_{sn} は次式で表される。

$$M_{ln} = \max \{ 1 \cdot n, 0 \}$$

$$M_{sn} = \max \{ s \cdot n, 0 \}$$

これらの式中の記号の意味は次の通りである。すなわち、図7に示す如く、頂点Pから視点11への単位ベクトルを e 、頂点Pから光源13への単位ベクトルを l 、頂点Pの法線ベクトルを n （頂点Pを有する平面101へ104の各単位法線ベクトルの平均値）、ベクトル s をベクトル l とベクトル e の和の方向の単位ベクトルと定義する。また、任意のベクトル a とベクトル b との内積を $a \cdot b$ で表し、2数 c と d の大きい方の値を $\max \{ c, d \}$ で表す。

【0009】

【発明が解決しようとする課題】3次元CGのシェーディングでは、多面体モデルの1つの頂点について、3原色の各々につき反射光強度 L の計算を行い、これらに重みを付けて加算し、光源が複数ある場合にはその各々についてこのような計算を行う必要がある。また、算出された反射光強度 L を用いて式(1)を計算する必要がある。さらに、多面体モデルの各頂点についてこの計算を繰り返し、面内での補間計算を行う必要があるため、高速処理が要求される。

【0010】従来では、このような計算をソフトウェアにより行っていたので、処理速度が遅いという問題があった。頂点カラーの計算を全てハードウェアで行うと、その構成が複雑になる。

【0011】本発明の目的は、このような問題点に鑑み、簡単なハードウェア構成により3次元CGのシェーディングを高速処理することが可能なシェーディング演算装置及びこれを用いた画像処理装置を提供することにある。

【0012】

【課題を解決するための手段及びその作用効果】請求項1のシェーディング演算装置では、第1～第3入力値の積を算出する乗算回路と、該乗算回路の出力値と累積加算値との和を算出する加算回路と、該乗算回路の算出結果の第1回と第2回で該加算回路の出力値を該累積加算値とし、該乗算回路の算出結果の第3回で該累積加算値をゼロクリアすると共に該加算回路の出力値をシェーディング演算装置の出力値とする制御回路とを有する。

【0013】例えば、 2^n 倍された入射光強度（整数）と 2^n 倍された反射係数（整数）と方向係数（固定小数点数）とそれぞれ第1～第3入力値として乗算回路に供給される。環境光、拡散反射光及び鏡面反射光について順次、これら3数が乗算回路に供給される。環境光は反射係数が1.0であるとする。上記第1回では、1

つ前の反射光強度計算の第3回において累積加算値がゼロクリアされている。

【0014】請求項1のシェーディング演算装置によれば、簡単なハードウェア構成により式(3)の反射光強度 L の値を、ソフトウェアによる場合よりも高速に算出することができる。さらに、このシェーディング演算装置と組み合わせられて使用される画像プロセッサはシェーディング演算装置と並列して他の処理を行うことができるので、3次元CGのシェーディング（式(1)の計算）を高速処理することが可能となる。

【0015】請求項2のシェーディング演算装置では、請求項1において、上記第1～第3値をそれぞれ保持して上記乗算回路に供給する第1～第3レジスタと、該乗算回路の出力値を保持して上記加算回路に供給する第4レジスタと、上記累積加算値を保持して該加算回路に供給する第5レジスタと、上記シェーディング演算装置の出力値を保持する第6レジスタとを有する。

【0016】請求項3のシェーディング演算装置では、請求項2において、上記制御回路は、周期的な第1クロックを上記第1～第4レジスタのクロック入力端に供給し、該第1クロックのパスを2個毎に1個間引いたものに相当する第2クロックを上記第5レジスタのクロック入力端に供給し、該第1クロックと該第2クロックとの排他的論理和に相当する第3クロックを上記第6レジスタのクロック入力端及び該第5レジスタのクリア入力端に供給する。

【0017】このシェーディング演算装置によれば、制御回路の構成が簡単になる。

【0018】請求項4のシェーディング演算装置では、請求項3において、上記乗算回路は、上記第1入力値と上記第2入力値との積を算出する第1乗算回路と、この積と上記第3入力値との積を算出する第2乗算回路とを有する。

【0019】このシェーディング演算装置によれば、3入力乗算回路の構成が簡単になる。

【0020】請求項5のシェーディング演算装置では、請求項4において、上記第1～第3入力値はいずれも n ビットであり、上記第1及び第2乗算回路はいずれも上位 n ビットのみ出力する。

【0021】このシェーディング演算装置によれば、第1及び第2乗算回路をいずれも、積の上位 n ビットのみ算出するように構成すればよいので、その構成が簡単になる。また、積の上位 n ビットのみ算出することにより、積 \times 積/ 2^n の除算と近似を同時に行ったことになるので、計算が簡便化される。

【0022】請求項6のシェーディング演算装置では、請求項5において、上記第1及び第2入力値は整数であり、上記第3入力値は固定小数点数である。

【0023】このシェーディング演算装置によれば、1である場合も含めて第3入力値を固定小数点数とするこ

とにより、累積加算において小数点位置合わせが不要になるので、ハードウェア構成がさらに簡単になる。

【0024】請求項7のシェーディング演算装置では、請求項1乃至6のいずれか1つにおいて、3次元CGのスムーズシェーディングにおける頂点カラーを計算するために、3原色の各々のデータに対応して上記乗算回路及び上記加算回路を3組有し、上記制御回路が該3組について共通に用いられる。

【0025】このシェーディング演算装置によれば、1つのシェーディング演算装置で3原色の各々に対する反射光強度Lの値を同時に算出することができる。また、制御回路を3原色の各々について共通に用いることができるので、構成が簡単になる。

【0026】請求項8のシェーディング演算装置では、請求項2乃至7のいずれか1つにおいて、上記第1〜3レジスタの前段に備えられたFIFOバッファ記憶部をさらに有する。

【0027】請求項9の画像処理装置では、シェーディング処理を行う画像プロセッサと、該画像プロセッサから供給される上記第1〜第3入力値に基づいて反射光強度を算出しこれを該画像プロセッサへ供給する請求項8記載のシェーディング演算装置とを有する。

【0028】

【発明の実施の形態】以下、図面に基いて本発明の実施形態を説明する。

【0029】【第1実施形態】上述の頂点カラーの計算式(1)においては、上式(3)の反射光強度Lの計算時間が最も長くなる。そこで、この反射光強度Lの値をハードウェアで計算する。

【0030】式(3)において、環境光の項は、(入射光強度)×(反射係数)であって、2数の積であるが、拡散反射光の項及び鏡面反射光の項は、(入射光強度)×(反射係数)×(方向係数)であって、いずれも3数の積である。また、方向係数は1以下の数である。そこで、環境光の項については、(方向係数)=1を乗じて3数の積とし、各項の計算を同一ハードウェアで順次行うことにより、ハードウェア構成を簡単化する。

【0031】前記1も含め方向係数はすべて固定小数点数とする。このようにすれば、累積加算において小数点位置合わせが不要になるので、ハードウェア構成がさらに簡単になる。

【0032】図1は、このような考えを採用したシェーディング演算装置20の概略構成を示すブロック図である。

【0033】シェーディング演算装置20は、演算回路として乗算回路21と加算回路22とを備えている。乗算回路21は、上記各項の3数の積を算出するためのものであり、加算回路22は、この積と、前回までの積の累積加算値との和を算出するためのものである。

【0034】シェーディング演算装置20はさらに、デ

ータ保持用のレジスタR1〜R6を備えている。レジスタR1〜R3はそれぞれ、入力される入射光強度、反射係数及び方向係数を保持し、データD1〜D3として乗算回路21に供給する。レジスタR4は、乗算回路21から出力される積を保持し、データD4として加算回路22の一方の入力端に供給する。レジスタR5は、加算回路22から出力される前回までの累積加算値を保持し、データD5として加算回路22の他方の入力端に供給する。この累積加算値は、レジスタR6にも供給される。

【0035】レジスタR1〜R6はいずれもnビット、例えばn=8である。レジスタR1及びR2に供給されるデータはいずれも (2^n-1) 倍された整数である。これに対し、レジスタR3に供給されるMin及びSpmはいずれも、固定小数点数である。

【0036】乗算回路21は、積の上位nビットのみ算出するように、構成が簡単化されている。また、積の上位nビットのみ算出することにより、積 \leftarrow 積 $\times 2^n$ の除算と近似とを同時に行なったことになるので、計算が簡単化される。乗算回路21の出力は、整数値である。

【0037】乗算回路21は、例えば図2に示す如く、データD1とD2の積を算出する乗算回路211と、この積とデータD3との積を算出する乗算回路212とを備えている。乗算回路211及び212はいずれも、その積の上位nビットのみ算出するように、構成が簡単化されている。

【0038】乗算回路21及び加算回路22は、クロックと非同期で動作する。これに対し、レジスタR1〜R6は制御回路23からのクロックに同期して動作する。

【0039】レジスタR1〜R4のクロック入力端CKには、制御回路23から図3に示すような周期的なクロックCLK1が供給される。レジスタR5のクロック入力端CK1は、制御回路23から図3に示すような、クロックCLK1のバースを2個毎に1個間引いたものに相当するクロックCLK2が供給される。レジスタR5のクリア入力端CLR及びレジスタR6のクロック入力端CK1は、制御回路23から図3に示すような、クロックCLK1とクロックCLK2との排他的論理和に相当するクロックCLK3が供給される。

【0040】本第1実施形態では、3原色の各々に対する式(3)の計算を並列処理するために、上記のように構成されたシェーディング演算装置20を3個用いる。

【0041】次に、このシェーディング演算装置20の動作を、図3及び図4に示すタイムチャートを参照して説明する。図3及び図4中のDijは、 $T=j$ で変化したデータD_iを示している。

【0042】(T=0)クロックCLK1の立ち上がりタイミングで、レジスタR1〜R3にそれぞれAm1、Am2及び1.0が保持され、これらがデータD1〜D3

として乗算回路 21 に供給される。

【0043】(T=1) クロック CLK1 の立ち上がり時点迄に、乗算回路 21 から出力される積が確定しており、これがクロック CLK1 の立ち上がりのタイミングでレジスタ R4 に保持され、その値 $D4 = Aml \times Amm \times 1$ 。0 が加算回路 22 の一方の入力端に供給される。また、クロック CLK3 の立ち上がりのタイミングでレジスタ R5 がゼロクリアされ、 $D5 = 0$ が加算回路 22 の他方の入力端に供給される。他方では、クロック CLK1 の立ち上がりのタイミングでレジスタ R1 ~ R3 にそれぞれ Dil、Dim 及び Mln が保持され、これらがデータ D1 ~ D3 として乗算回路 21 に供給される。

【0044】(T=2) クロック CLK2 の立ち上がり時点迄に、加算回路 22 から出力される和 $Aml \times Amm$ が確定しており、これが累積加算値としてクロック CLK2 の立ち上がりのタイミングでレジスタ R5 に保持される。これと同時に、すなわち、クロック CLK1 の立ち上がりのタイミングで、レジスタ R4 に $Dil \times Dim \times Mln$ が保持され、レジスタ R1 ~ R3 にそれぞれ Spl、Spn 及び Msn が保持される。

【0045】(T=3) クロック CLK2 の立ち上がりのタイミングでレジスタ R5 に累積加算値 $(Aml \times Amm + Dil \times Dim \times Mln)$ が保持される。クロック CLK1 の立ち上がりのタイミングで、レジスタ R4 に $Spl \times Spn \times Msn$ が保持され、レジスタ R1 ~ R3 にそれぞれ次の反射光強度 L の値を計算するための (第 2 組) の Aml 、 Amm 及び 1 が保持され、これらがデータ D1 ~ D3 として乗算回路 21 に供給される。

【0046】(T=4) クロック CLK3 の立ち上がりのタイミングでレジスタ R6 に、反射光強度である累積加算値 $L = (Aml \times Amm + Dil \times Dim \times Mln + Spl \times Spn \times Msn)$ が保持され、データ D6 としてシェーディング演算装置 20 から出力される。また、クロック CLK3 の立ち上がりのタイミングでレジスタ R5 がゼロクリアされ、 $D5 = 0$ が加算回路 22 の他方の入力端に供給される。他方では、クロック CLK1 の立ち上がりのタイミングで、レジスタ R4 に第 2 組の $D4 = Aml \times Amm$ が保持され、レジスタ R1 ~ R3 にそれぞれ第 2 組の Dil、Dim 及び Mln が保持され、これらがデータ D1 ~ D3 として乗算回路 21 に供給される。

【0047】このような処理が繰返して行われることにより反射光強度 L の値が順次算出される。第 1 組のデータを用いて反射光強度 L の値を得るのにクロック CLK1 の 4 周期を必要とするが、パイプライン処理が行われているので、第 2 組以降のデータを用いて反射光強度 L の値を得るのに必要な時間は、図 3 及び図 4 に示す如く、クロック CLK1 の 3 周期である。

【0048】本第 1 実施形態によれば、図 1 に示すような簡単なハードウェア構成により式 (3) の反射光強度 L の値を、ソフトウェアによる場合よりも高速に算出

することができる。

【0049】なお、1 つのシェーディング演算装置 20 を用い、三原色の各々に対応した反射光強度 L の値をシーケンシャルに算出してもよい。

【0050】【第 2 実施形態】図 5 は、本発明の第 2 実施形態のシェーディング演算装置 20A と画像プロセッサ 30 との組の画像装置概略構成を示すブロック図である。

【0051】シェーディング演算装置 20A は、レジスタ R1 ~ R3 の前段に、FIFO のバッファメモリ又はバッファレジスタ (データキュー) 23 を備えている。

【0052】画像プロセッサ 30 は、シェーディング演算装置 20A の助けを借りて 3 次元 CG のシェーディング処理を行う。画像プロセッサ 30 は、シェーディング演算装置 20A の FIFO バッファ 23 に、図 1 の装置 20 へのデータを供給し、装置 20A から反射光強度 L を受け取る。

【0053】この第 2 実施形態によれば、FIFO バッファ 23 により画像プロセッサ 30 とシェーディング演算装置 20A とのシステムの処理速度が向上する。

【0054】また、画像プロセッサ 30 はシェーディング演算装置 20 と並列して他の処理を行うことができるので、3 次元 CG のシェーディングを高速処理することが可能となる。

【0055】【第 3 実施形態】図 6 は、本発明の第 3 実施形態のシェーディング演算装置 20B を示すブロック図である。

【0056】この装置 20B では、制御回路 23 以外について、3 原色の各々に対応して図 1 のシェーディング演算装置 20 内の構成を 3 組揃え、制御回路 23 をこの 3 組に共通に用いている。図 6 中、符号に付した R、G 及び B はそれぞれ 3 原色の赤色、緑色及び青色に関するものであることを示している。

【0057】乗算回路 21A は、3 原色の各々に対応して 3 入力の乗算回路 21R、21G 及び 21B を備えている。加算回路 22A は、3 原色の各々に対応して 2 入力の加算回路 22R、22G 及び 22B を備えている。 $i = 1 \sim 6$ の各々について、レジスタ RiA は、3 原色の各々に対応したレジスタフィールド RiR、RiG 及び RiB を備えている。制御回路 23 から各レジスタへのクロックの供給は、3 原色の各々について図 1 の場合と同じである。

【0058】本第 3 実施形態によれば、1 つのシェーディング演算装置 20B で 3 原色の各々に対する反射光強度 L の値を同時に算出することができる。また、制御回路 23 を 3 原色の各々について共通に用いることができるので、図 1 のシェーディング演算装置 20 を 3 組揃えるよりも構成が簡単になる。

【図面の簡単な説明】

【図 1】本発明の第 1 実施形態のシェーディング演算装

10

20

30

40

50

置概略構成を示すブロック図である。

【図2】図1中の乗算回路の概略構成例を示すブロック図である。

【図3】図1の装置の動作を示すタイムチャートである。

【図4】図3の続きを示すタイムチャートである。

【図5】本発明の第2実施形態の画像処理装置の概略構成を示すブロック図である。

【図6】本発明の第3実施形態のシェーディング演算装置概略構成を示すブロック図である。

【図7】3次元CGのシェーディングにおける従来の頂点カラー計算の説明図である。

【符号の説明】

* 10 モデル

11 視点

12 スクリーン

13 光源

101~104 平面

20、20A、20B シェーディング演算装置

21、21A、211、212、21R、21G、21B 乗算回路

22、22A、22R、22G、22B 加算回路

10 R1~R6、R1A~R6A レジスタ

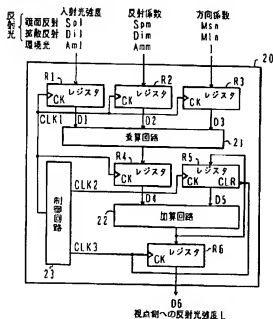
23 制御回路

D1~D6 データ

*

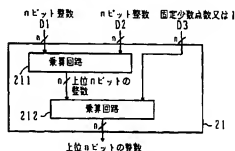
【図1】

本発明の第1実施形態のシェーディング演算装置概略構成を示すブロック図



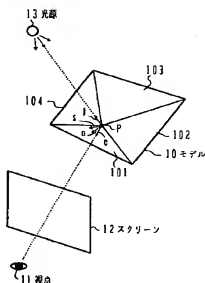
【図2】

図1中の乗算回路の概略構成例を示すブロック図



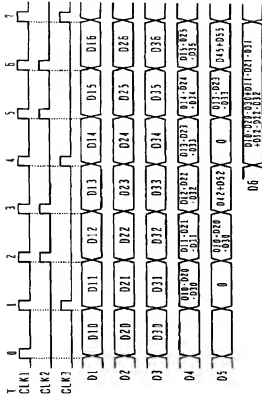
【図7】

3次元CGのシェーディングにおける従来の頂点カラー計算の説明図



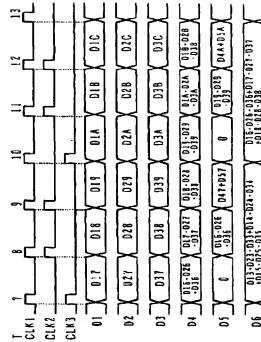
【図 3】

図 1 の装置の動作を示すタイムチャート



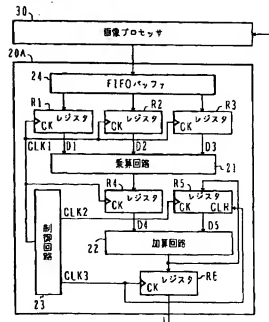
【図 4】

図 3 の続きを示すタイムチャート



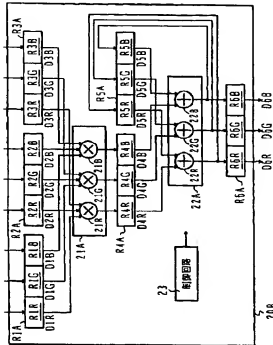
【図 5】

本発明の第 2 実施形態の画像処理装置の概略構成を示すブロック図



【図6】

本発明の第3実施形態のシェーディング演算装置
 概略構成を示すブロック図



フロントページの続き

(72) 発明者 三浦 栄介

神奈川県川崎市中原区上小田中4丁目1番
 1号 富士通株式会社内

Fターム(参考) 5B080 AA13 GA11

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

☐ BLACK BORDERS

☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES

☒ FADED TEXT OR DRAWING

☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING

☐ SKEWED/SLANTED IMAGES

☒ COLOR OR BLACK AND WHITE PHOTOGRAPHS

☐ GRAY SCALE DOCUMENTS

☐ LINES OR MARKS ON ORIGINAL DOCUMENT

☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY

☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.